

Układy scalone

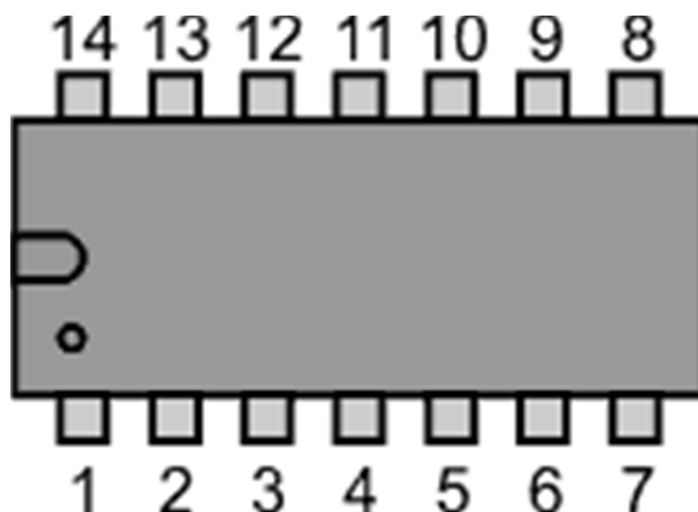
Układem scalonym nazywamy mikrostrukturę elektroniczną, w której wszystkie lub część elementów są nie rozerwalnie związane z podłożem lub umieszczone na nim. Układu takiego nie da się rozebrać bez jego uszkodzenia.

Podział:

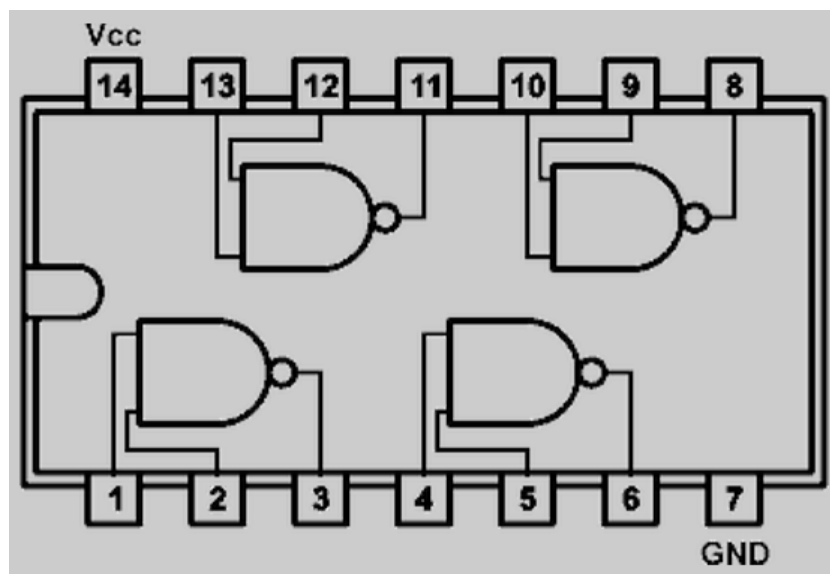
Układy scalone możemy podzielić na

- **cyfrowe** (dyskretne)-, w których sygnały wejściowe i wyjściowe interpretowane są jako stany wysokie **H** lub niskie **L** (1,0),
- **analogowe** - ich parametry wyjściowe mają charakter liniowy i powinny się wyróżniać małą wrażliwością na czynniki zakłócające takie jak zmienne częstotliwości, różnice napięć czy prądów, wpływy temperatury,
- **chybrydowe** – łączące w sobie funkcje wyżej wymienionych. Zaliczyć do nich możemy przetworniki A/C (analogowo cyfrowe) i C/A(Cyfrowo analogowe)

Oznaczenie wyprowadzeń w układzie cyfrowym



Schemat wewnętrznej budowy na przykładzie układu SN7400



VCC – napięcie zasilania (układy TTL +5V)

GND – minus zasilania

Skala integracji

To podział układów ze względu na upakowanie w nim bramek logicznych

- Mała (SSI small scale of integration) od 0 do 10 bramek
- Średnia (MSI medium scale of integration) od 11 do 100 bramek
- Duża (LSI large scale of integration) od 101 do 10 000 bramek
- Wielka (VLSI very large scale of integration) od 10 001 do 100 000 bramek
- Ultra wielka (ULSI ultra very large scale of integration) powyżej 100 000 bramek

Urządzenia wykonywane z różnych układów scalonych

- SSI – układy kombinacyjne
- MSI – układy sekwencyjne: przerzutniki, liczniki
- LSI – pamięci
- VLSI i ULSI – pamięci i układy programowalne

Podstawowe różnice między układami TTL i CMOS

Parametr	TTL	CMOS
Zasilanie	5V	3...15V
Poziom 0	0,4...0,8V	0V
Poziom 1	2...5V	V_{DD}
Czas propagacji	1,5...3 ns	30 ns
Obciążalność wyjść	10	duża

Zasady łączenia wejść i wyjść

- Do jednego wyjścia bramki można podłączyć kilka wejść innych bramek. Musimy tylko pamiętać, aby nie przekroczyć obciążalności wyjścia bramki. Typowe wyjście bramki TTL może wysterować około 10 wejść innych bramek. Do bramek CMOS reguła ta się nie odnosi, ponieważ pobierają one bardzo mały prąd wejściowy - mówimy, iż posiadają dużą oporność wejściową.
- Nieużywane wejścia bramek należy podłączyć poprzez opornik 1k Ω (jeśli możemy zagwarantować, iż napięcie VCC nie przekroczy 5,5V, to wejście można połączyć bezpośrednio) do zasilania +5V (bramki AND i NAND) lub bezpośrednio do masy (bramki OR i NOR). Nie wolno pozostawiać wejścia "wiszącego", ponieważ powoduje to pogorszenie warunków pracy bramki (zwiększa się czas propagacji oraz zmniejsza się odporność na zakłócenia i w konsekwencji może powodować błędy w działaniu urządzenia cyfrowego).

